

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Abstract (Basic): JP 7235177 A

The semiconductor memory has a memory cell array (Sal-San) provided with a number of memory cells. The row and column address signals (RAS,CAS) are provided with in set time. A refreshing circuit (7A) refreshes the memory cells. The main part is energized using high potential and low potential power supplier (VDD, VSS), and the necessary power supply is selected using a mode detector (11A).

The mode detector is operated by a special refreshing circuit (12). An operating power supply (VOSC) operates based on the two power supplies. A main power circuit (23) operates the special refreshing circuit. Starting devices (11A, 22) are provided to start the main program to control the operations of all the power supplies.

RECEIVED

JUL 23 2003

TECHNOLOGY CENTER 2800

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235177

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/403

G 1 1 C 11/ 34

3 6 3 M

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平6-25653

(22) 出願日 平成6年(1994)2月23日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 小川 和樹

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宜

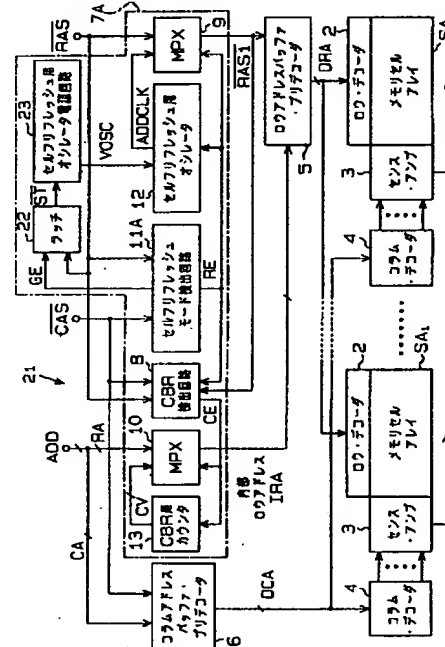
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】セルフリフレッシュ動作のみに関係する回路を、その動作に間に合うように動作させ、消費電流を低減できる半導体記憶装置を提供する。

【構成】セルフリフレッシュ回路7Aは検出回路11A、オシレータ12、ラッチ22及び電源回路23を備える。検出回路11Aはコラム信号バーCASの立ち下がり続くロウ信号バーRASの立ち下がりから検出時間経過後に検出信号REを出力し、検出時間より短い設定時間経過後に活性化信号GEを出力する。ラッチ22は信号バーRASがLレベルで信号GEがHレベルになると、起動信号バーSTを出力する。電源回路23は起動信号バーSTに基づいて、電源VDDに基づく電源Voscを出力する。オシレータ12は信号REに基づいて活性化され、電源Voscに基づいてクロック信号ADDC CLKを出力する。

本発明を具体化した一実施例の半導体記憶装置の電気的構成を示すブロック図



【特許請求の範囲】

【請求項1】 複数のメモリセルを備えたメモリセルアレイ (S a 1 ~ S a n) と、

コラムアドレスストロブ信号 (バーCAS) の立ち下がりに続くロウアドレスストロブ信号 (バーRAS) の立ち下がりを基準として所定の検出時間が経過したとき、前記メモリセルアレイ (S a 1 ~ S a n) のメモリセルのセルフリフレッシュを行うセルフリフレッシュ回路 (7 A) とを備え、高電位電源 (VDD) 及び低電位電源 (VSS) に基づいて動作する半導体記憶装置において、

前記セルフリフレッシュ回路 (7 A) は、
前記検出時間の経過を検出してセルフリフレッシュ動作を開始させるためのモード検出回路 (1 1 A) と、
前記モード検出回路によって動作が開始され、かつ、セルフリフレッシュ動作のみに関係する動作を行うセルフリフレッシュ専用回路 (1 2) と、
前記高電位電源 (VDD) 及び低電位電源 (VSS) に基づく動作電源 (Vosc) を前記セルフリフレッシュ専用回路 (1 2) に供給するための電源回路 (2 3) と、
前記検出時間よりも短い設定時間の経過を検出したとき、前記高電位電源 (VDD) 及び低電位電源 (VSS) 間に前記電源回路 (2 3) を接続して該電源回路 (2 3) に電流を流し、前記動作電源 (Vosc) を出力させるための起動手段 (1 1 A, 2 2) とを備える半導体記憶装置。

【請求項2】 前記セルフリフレッシュ専用回路は、前記メモリセルアレイ (S a 1 ~ S a n) のメモリセルを選択する内部アドレスを発生させるためのクロック信号を発生するオシレータ (1 2) であり、
前記電源回路 (2 3) は前記高電位電源 (VDD) 及び低電位電源 (VSS) 間に直列に接続された第1及び第2のトランジスタ (3 1, 3 2) からなり、少なくとも前記第1のトランジスタ (3 1) は前記起動手段によって導通され、前記第1及び第2のトランジスタ (3 1, 3 2) 間から前記動作電源 (Vosc) を出力するように構成した請求項1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に係り、詳しくはダイナミック・ランダム・アクセス・メモリ (以下、DRAMという) のセルフリフレッシュに関する。

【0002】 近年の半導体技術の進歩により、DRAMの記憶容量は益々増大し、DRAM自体の消費電流も増大しつつある。しかし、市場の要求はより消費電流の少ないものへと傾いている。この市場要求を満たすため、必要以上に回路を動作させることを避け、消費電流を少なくする必要がある。特に、DRAMを使用したシステムでは、システムが動作していないとき、バックアップ

用のバッテリー電源によりメモリセルのセルフリフレッシュが行われる。このセルフリフレッシュ時の消費電流を少なくする必要がある。

【0003】

【従来の技術】 図4には従来のDRAMの一例が示されている。このDRAM1は複数のメモリセルアレイ S a 1 ~ S a n、ロウアドレスバッファ・プリデコーダ5、コラムアドレスバッファ・プリデコーダ6及びセルフリフレッシュ回路7を備えている。各セルアレイ S a 1 ~ S a nは多数のメモリセルよりなる。各セルアレイ S a 1 ~ S a n へのデータの書き込み又は読み出しは1ビット単位で同時に行われる。従って、DRAM1にはnビットのデータがパラレルで書き込まれる。また、DRAM1からはnビットのデータがパラレルで読み出される。

【0004】 DRAM1にはシステム電源から高電位及び低電位電源VDD, VSSが供給され、DRAM1は両電源VDD及びVSSに基づいて動作する。また、DRAM1には前記システム電源と並列にバックアップ用のバッテリー (図示略) が接続されている。システム電源が遮断されると、バッテリーからDRAM1に電源VDD, VSSが供給され、DRAM1はこの電源VDD, VSSに基づいて動作する。

【0005】 DRAM1には図示しない制御装置からアドレス信号ADD、ロウアドレスストロブ信号 (以下、単にロウ信号という) バーRAS及びコラムアドレスストロブ信号 (以下、単にコラム信号という) バーCASが入力される。システム電源が遮断された後、コラム信号バーCAS及びロウ信号バーRASが所定のタイミングで入力されると、リフレッシュ回路7によってセルアレイ S a 1 ~ S a n のメモリセルのセルフリフレッシュが行われる。

【0006】 セルアレイ S a 1 ~ S a n にはロウデコーダ2、センスアンプ3及びコラムデコーダ4がそれぞれ設けられている。各デコーダ2はバッファ・プリデコーダ5に接続されている。各デコーダ4はバッファ・プリデコーダ6に接続されている。バッファ・プリデコーダ6には前記アドレス信号ADDにおけるコラムアドレス信号CAが入力されるとともに、コラム信号バーCASが入力される。バッファ・プリデコーダ6はアドレス信号CAに基づいたプリデコード信号DCAを各デコーダ4に出力する。

【0007】 リフレッシュ回路7は、CBR検出回路8、マルチプレクサ (以下、MPXという) 9、10、セルフリフレッシュモード検出回路11、セルフリフレッシュ用オシレータ12、CBR用カウンタ13及びセルフリフレッシュ用のオシレータ電源回路14により構成されている。

【0008】 MPX9にはロウ信号バーRASが入力される。MPX9は前記バッファ・プリデコーダ5に接続

されている。MPX10には前記コラム信号バーCASが入力される。モード検出回路11及びCBR検出回路8にはロウ信号バーRAS及びコラム信号バーCASが入力される。オシレータ12には電源回路14が接続されている。

【0009】電源回路14は図5に示すようにPMOSトランジスタ15及び複数のNMOSトランジスタ16からなる。トランジスタ15及び複数のトランジスタ16は電源VDD及びVSS間に直列に接続されている。トランジスタ15のゲートには電源VSSが印加され、各トランジスタ16のゲートはそのドレインに接続されている。電源回路14はトランジスタ15のドレインから電源VDDに基づくオシレータ電源Vosc0をオシレータ12に出力する。従って、図6に示すように、電源VDDが立ち上がると、電源回路14のトランジスタ15、16がオンし、オシレータ電源Vosc0がほぼ同時に立ち上がる。

【0010】さて、DRAM1にシステム電源が供給された状態において、データの読み出しを行うべく、所定のタイミングでロウ信号バーRAS及びコラム信号バーCASがDRAM1に入力される。この後、アドレス信号ADDがDRAM1に入力される。すると、MPX10はアドレス信号ADDのロウアドレス信号RAを内部ロウアドレス信号1RAとしてバッファ・プリデコーダ5に出力する。

【0011】バッファ・プリデコーダ5はアドレス信号1RAをプリデコード信号DRAにデコードし、デコード信号DRAを各デコーダ2に出力する。各デコーダ2はデコード信号DRAを選択信号にデコードしその選択信号に基づいて各セルアレイSA1～SAnの所定のワード線を選択する。

【0012】一方、バッファ・プリデコーダ6はアドレス信号ADDのコラムアドレス信号CAをプリデコード信号DCAにデコードし、デコード信号DCAを各デコーダ4に出力する。各デコーダ4はプリデコード信号DCAを選択信号にデコードしその選択信号に基づいて各セルアレイSA1～SAnの所定のビット線対を選択する。

【0013】その結果、各セルアレイSA1～SAnでは、選択されたワード線及びビット線対に接続されているセルが選択される。選択されたセルのデータは対応するビット線対を介して読み出される。読み出されたデータは各センスアンプ3によって増幅され、図示しない出力回路に転送される。

【0014】さらに、DRAM1にシステム電源が供給された状態において、CBR検出回路8に所定のタイミングでロウ信号バーRAS及びコラム信号バーCASが入力されると、セルアレイSA1～SAnの通常のリフレッシュが行われる。

【0015】また、図6に示すように、システム電源に

よって電源VDDが立ち上がると、オシレータ電源Vosc0はほぼ同時に立ち上がっている。システム電源が遮断されると、DRAM1への電源VDDの供給は前記バッテリーによって行われ、電源VDDは立ち上がった状態に保持される。そのため、オシレータ電源Vosc0も立ち上がった状態に保持される。

【0016】この後、コラム信号バーCASが立ち下がりからロウ信号バーRASが立ち下がると、モード検出回路11は内部のクロック信号CLKに基づいて経過時間を計測する。信号バーCAS及びバーRASがローレベルのまま100 μ sec経過すると、モード検出回路11はセルフリフレッシュを行うべく、Hレベルとなる検出信号REをCBR検出回路8、オシレータ12及びMPX9に出力する。

【0017】オシレータ12はHレベルの検出信号REが入力されると活性化され、オシレータ電源Vosc0に基づいて内部アドレスを発生させるための所定周波数のクロック信号ADDCLKを出力する。MPX9はクロック信号ADDCLKを入力し、内部信号バーRAS1としてバッファ・プリデコーダ5及びCBR検出回路8に出力する。

【0018】そして、内部信号バーRAS1の立ち下がりがバッファ・プリデコーダ5に入力されると、バッファ・プリデコーダ5が活性化される。一方、内部信号バーRAS1の立ち下がりがCBR検出回路8に入力されると、CBR検出回路8はカウントアップ信号CEをカウンタ13に出力する。

【0019】カウンタ13はカウントアップ信号CEに基づいてアドレスをアップカウントし、カウント値CVをMPX10に出力する。MPX10はカウント値CVをアドレス信号1RAとしてバッファ・プリデコーダ5に出力する。

【0020】すると、バッファ・プリデコーダ5はアドレス信号1RAに基づくプリデコード信号DRAを各デコーダ2に出力する。各デコーダ2はデコード信号DRAを選択信号にデコードしその選択信号に基づいて各セルアレイSA1～SAnの所定のワード線を選択する。選択されたワード線に接続されるセルのデータはセンス・アンプ3によって増幅され、そのデータは再びセルに書き込まれる。尚、バッファ・プリデコーダ5は内部信号バーRAS1の立ち上がりが入力されると非活性化される。

【0021】そして、再び内部信号バーRAS1の立ち下がりがバッファ・プリデコーダ5及びCBR検出回路8に入力されると、バッファ・プリデコーダ5が活性化される。また、CBR検出回路8はカウントアップ信号CEをCBR用カウンタ13に出力する。そのため、CBR用カウンタ13はアドレスを更にアップカウントし、そのカウント値CVをMPX10を介してアドレス信号1RAとしてバッファ・プリデコーダ5に出力す

る。

【0022】すると、バッファ・プリデコーダ5はアドレス信号IRAに基づいたプリデコード信号DRAを各デコーダ2に出力する。各デコーダ2はプリデコード信号DRAを選択信号にデコードしその選択信号に基づいて各セルアレイSA1～SAnの所定のワード線を選択する。選択されたワード線に接続されるセルのデータはセンスアンプ3によって増幅され、そのデータは再びセルに書き込まれる。

【0023】以下、オシレータ12から出力される内部信号バーIRASの立ち下がり毎に、前記と同様にして各セルアレイSa1～Sanの異なるワード線が順次選択され、その選択されたワード線に接続されたセルのセルフリフレッシュが行われる。

【0024】そして、電源回路14は電源VDDに基づいて所定のレベルのオシレータ電源Vosc0を出力するまでに、所定の時間を要する。オシレータ電源Vosc0が所定のレベルに達する以前に検出信号REが入力されると、クロック信号ADCLKの周波数が所定の周波数よりも低くなってしまう。そのため、電源VDDがHレベルであると、すべてのトランジスタ15、16がオンし、常時オシレータ電源Vosc0を出力する。トランジスタ15、16のオンに基づいて電源VDD、VSS間には常時電流が流れ、電流が消費される。

【0025】

【発明が解決しようとする課題】従って、上記DRAM1ではセルアレイSa1～Sanをセルフリフレッシュしない場合にも電源回路14が電流を消費し、消費電流が増大していた。

【0026】本発明は上記問題点を解決するためになされたものであって、その目的は、セルフリフレッシュ動作のみに関係する回路を、セルフリフレッシュ動作に間に合うように動作させることにより、消費電流を低減できる半導体記憶装置を提供することにある。

【0027】

【課題を解決するための手段】上記の目的を達成するため、本発明では、検出時間の経過を検出してセルフリフレッシュ動作を開始させるためのモード検出回路と、モード検出回路によって動作が開始され、かつ、セルフリフレッシュ動作のみに関係する動作を行うセルフリフレッシュ専用回路と、高電位電源及び低電位電源に基づく動作電源をセルフリフレッシュ専用回路に供給するための電源回路と、検出時間よりも短い設定時間の経過を検出したとき、高電位電源及び低電位電源間に電源回路を接続して該電源回路に電流を流し、動作電源を出力させるための起動手段とによりセルフリフレッシュ回路を構成した。

【0028】また、セルフリフレッシュ専用回路は、メモリセルアレイのメモリセルを選択する内部アドレスを発生させるためのクロック信号を発生するオシレータと

するのがよい。電源回路は高電位電源及び低電位電源間に直列に接続された第1及び第2のトランジスタで構成し、少なくとも第1のトランジスタは起動手段によって導通され、第1及び第2のトランジスタ間から動作電源を出力するようにするのがよい。

【0029】

【作用】本発明では、セルフリフレッシュ動作が開始されるまでの検出時間よりも短い設定時間が経過すると、電源回路が起動されてセルフリフレッシュ専用回路に動作電源が供給される。そのため、電源回路及びセルフリフレッシュ専用回路における消費電流が低減される。そして、検出時間が経過すると、セルフリフレッシュ専用回路の動作が開始され、メモリセルアレイのセルフリフレッシュが行われる。

【0030】

【実施例】以下、本発明をDRAMに具体化した一実施例を図1～図3に基づいて説明する。尚、図4～6と同様の構成については同一の符号を付してその説明を一部省略する。

【0031】図1に示すように、本実施例のDRAM21は複数のメモリセルアレイSa1～San、ロウアドレスバッファ・プリデコーダ5、コラムアドレスバッファ・プリデコーダ6及びセルフリフレッシュ回路7Aを備えている。DRAM21にはシステム電源から高電位及び低電位電源VDD、VSSが供給され、DRAM21は両電源VDD及びVSSに基づいて動作する。また、DRAM21には前記システム電源と並列にバックアップ用のバッテリー（図示略）が接続されている。システム電源が遮断されると、バッテリーからDRAM21に電源VDD、VSSが供給され、DRAM21はこの電源VDD、VSSに基づいて動作する。

【0032】セルフリフレッシュ回路7AはCBR検出回路8、MPX9、10、セルフリフレッシュモード検出回路11A、セルフリフレッシュ専用回路としてのセルフリフレッシュ用オシレータ12、CBR用カウンタ13、ラッチ22及びセルフリフレッシュ用のオシレータ電源回路23により構成されている。

【0033】モード検出回路11Aにはロウアドレスストロブ信号（以下、単にロウ信号という）バーRAS及びコラムアドレスストロブ信号（以下、単にコラム信号という）バーCASが入力される。オシレータ12には電源回路23が接続されている。

【0034】図2に示すように、モード検出回路11AはCBR判定回路24、クロック回路25、及びフリップフロップよりなる複数の分周器26a1～26anで構成されている。そして、モード検出回路11Aは前記電源VDD、VSSに基づいて動作する。

【0035】判定回路24はロウ信号バーRAS及びコラム信号バーCASを入力する。図3に示すように、コラム信号バーCASが立ち下がってからロウ信号バーR

ASが立ち下がる。すると、判定回路24はHレベルの出力許可信号OEをクロック回路25に出力する。コラム信号バーCAS及びロウ信号バーRASがLレベルに保持されていると、判定回路24は出力許可信号OEを出力し続ける。ロウ信号バーRASが立ち上がると、判定回路24は出力許可信号OEの出力を停止する。

【0036】クロック回路25はHレベルの出力許可信号OEに基づいて活性化され、図3に示すクロック信号CLKを初段の分周器26a1に出力する。また、クロック回路25は前記クロック信号CLKを反転したクロック信号バーCLKを分周器26a1に出力する。

【0037】分周器26a1~26anは入力信号の周波数を2分の1に分周し、分周した信号を次段の分周器に出力する。そして、分周器26an-1は前記クロック回路25がクロック信号CLKを出力し始めてから50 μ sec後にHレベルの活性化信号GEをラッチ22に出力する。分周器26anは前記クロック回路25がクロック信号CLKを出力し始めてから100 μ sec後に、セルフリフレッシュを行うべく、Hレベルの検出信号REをCBR検出回路8、オシレータ12及びMPX9に出力する。

【0038】ラッチ22は前記モード検出回路11Aと共に起動手段を構成する。ラッチ22はCMOSトランジスタよりなるインバータ27、28と、NAND回路29、30とで構成されたフリップフロップである。NAND回路29の一方の入力端子にはインバータ27を介して前記ロウ信号バーRASが入力され、他方の入力端子にはNAND回路30の出力信号が入力されている。NAND回路30の一方の入力端子にはインバータ28を介して前記活性化信号GEが入力され、他方の入力端子にはNAND回路29の出力信号が入力されている。NAND回路29は両入力信号に基づいて電源回路23を起動するための起動信号バーSTを出力する。

【0039】従って、ロウ信号バーRASがHレベルのとき、NAND回路30の出力信号に関係なく、起動信号バーSTはHレベルとなる。また、ロウ信号バーRASがLレベルのとき、活性化信号GEがHレベルになると、起動信号バーSTはLレベルとなる。ロウ信号バーRASがLレベルの期間、NAND回路30の出力信号に関係なく、起動信号バーSTはLレベルに保持される。

【0040】電源回路23は第1のトランジスタとしてのPMOSトランジスタ31及び第2のトランジスタとしての複数のNMOSトランジスタ32からなる。トランジスタ31及び複数のトランジスタ32は電源VDD及びVSS間に直列に接続されている。トランジスタ31のゲートには前記起動信号バーSTが印加されている。各トランジスタ32のゲートはそのドレインに接続されている。電源回路23はトランジスタ31のドレインから動作電源としてのオシレータ電源Voscをオシレータ1

2に出力する。

【0041】従って、起動信号バーSTがHレベルであると、トランジスタ31はオンせず、電源回路23は電源VSSのレベルを出力する。逆に、起動信号バーSTがLレベルであると、トランジスタ31がオンするとともに、すべてのトランジスタ32がオンする。その結果、図3に示すように、オシレータ電源Voscが立ち上がり、電源回路23は電源VDDよりもトランジスタ31のしきい値電圧だけ低いレベルのオシレータ電源Voscを出力する。

【0042】このオシレータ電源Voscに基づいてオシレータ12は動作可能となる。そして、モード検出回路11AからHレベルの検出信号REが入力されると、オシレータ12は活性化され、オシレータ電源Voscに基づいて内部アドレスを発生するための所定周波数のクロック信号ADDCLKを出力する。

【0043】さて、システム電源が供給されると、図3に示すように、電源VDDが立ち上がり、システム電源が遮断されると、DRAM21への電源VDDの供給は前記バッテリーによって行われ、電源VDDは立ち上がった状態に保持される。

【0044】コラム信号バーCASが立ち下がってからロウ信号バーRASが立ち下がると、モード検出回路11Aは内部クロック信号CLKに基づいて経過時間を計測する。コラム信号バーCAS及びロウ信号バーRASがローレベルのまま50 μ sec経過すると、モード検出回路11AはHレベルの活性化信号GEをラッチ22に出力する。

【0045】このとき、ラッチ22にはLレベルのロウ信号バーRASが入力されているため、起動信号バーSTはLレベルとなる。ロウ信号バーRASがLレベルの期間、起動信号バーSTはLレベルに保持される。

【0046】このLレベルの起動信号バーSTに基づいて電源回路23のトランジスタ31及びすべてのトランジスタ32がオンし、オシレータ電源Voscが立ち上がり、この電源Voscがオシレータ12に出力される。このオシレータ電源Voscに基づいてオシレータ12は動作可能となる。

【0047】そして、コラム信号バーCAS及びロウ信号バーRASがローレベルのまま100 μ sec(活性化信号GEの出力から50 μ sec)経過すると、モード検出回路11Aはセルフリフレッシュを行うべく、Hレベルの検出信号REをCBR検出回路8、オシレータ12及びMPX9に出力する。

【0048】この検出信号REによってオシレータ12は活性化され、オシレータ電源Voscに基づいて内部アドレスを発生させるための所定周波数のクロック信号ADDCLKを出力する。MPX9はクロック信号ADDCLKを入力し、内部信号バーRAS1としてバッファ・プリデコーダ5及びCBR検出回路8に出力する。

【0049】そして、内部信号バーRAS1の立ち下がりがバッファ・プリデコーダ5に入力されると、バッファ・プリデコーダ5が活性化される。一方、内部信号バーRAS1の立ち下がりがCBR検出回路8に入力されると、CBR検出回路8はカウントアップ信号CEをカウンタ13に出力する。

【0050】カウンタ13はカウントアップ信号CEに基づいてアドレスをアップカウントし、カウント値CVをMPX10に出力する。MPX10はカウント値CVをアドレス信号IRAとしてバッファ・プリデコーダ5に出力する。

【0051】すると、バッファ・プリデコーダ5はアドレス信号IRAに基づくプリデコード信号DRAを各デコーダ2に出力する。各デコーダ2はデコード信号DRAを選択信号にデコードしその選択信号に基づいて各セルアレイSA1～SAnの所定のワード線を選択する。選択されたワード線に接続されるセルのデータはセンス・アンプ3によって増幅され、そのデータは再びセルに書き込まれる。尚、バッファ・プリデコーダ5は内部信号バーRAS1の立ち上がりが入力されると非活性化される。

【0052】そして、再び内部信号バーRAS1の立ち下がりがバッファ・プリデコーダ5及びCBR検出回路8に入力されると、バッファ・プリデコーダ5が活性化される。また、CBR検出回路8はカウントアップ信号CEをCBR用カウンタ13に出力する。そのため、CBR用カウンタ13はアドレスを更にアップカウントし、そのカウント値CVをMPX10を介してアドレス信号IRAとしてバッファ・プリデコーダ5に出力する。

【0053】すると、バッファ・プリデコーダ5はアドレス信号IRAに基づいたプリデコード信号DRAを各デコーダ2に出力する。各デコーダ2はプリデコード信号DRAを選択信号にデコードしその選択信号に基づいて各セルアレイSA1～SAnの所定のワード線を選択する。選択されたワード線に接続されるセルのデータはセンスアンプ3によって増幅され、そのデータは再びセルに書き込まれる。

【0054】以下、オシレータ12から出力される内部信号バーIRASの立ち下がり毎に、前記と同様にして各セルアレイSA1～SAnの異なるワード線が順次選択され、その選択されたワード線に接続されたセルのセルフリフレッシュが行われる。

【0055】このように、本実施例ではセルフリフレッシュの開始までの検出時間(100 μ sec)が経過する以前に、それよりも短い設定時間(50 μ sec)経過したときに、電源回路23が起動される。そして、電源回路23によってオシレータ電源Voscがオシレータ12に供給される。そのため、電源回路23及びオシレータ12における消費電流を低減することができる。

また、このときロウ信号バーRASがLレベルであるため、電源回路23の消費電流はセルフリフレッシュ動作に関係のないスタンバイ電流とはならない。

【0056】なお、本実施例において、活性化信号GEの出力タイミングは、クロック回路25からクロック信号CLKが出力され始めてから100 μ sec経過する以前にオシレータ電源Voscが立ち上がっているように設定されればよい。例えば、分周器26an-1の前段の分周器26an-2(図示略)の出力信号を活性化信号GEとし、クロック信号CLKが出力され始めてから25 μ sec経過後に、Hレベルの活性化信号GEが出力されるようにしてもよい。

【0057】また、本実施例では、電源VDD、VSSに基づいてDRAM21を動作させるようにしたが、電源VDDを昇圧又は降圧した内部電源VIと電源VSSとに基づいてDRAM21を動作させるように構成してもよい。

【0058】

【発明の効果】以上詳述したように、本発明によれば、セルフリフレッシュ動作のみに関係する回路を、セルフリフレッシュ動作に間に合うように動作させることにより、消費電流を低減することができる。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例の半導体記憶装置の電氣的構成を示すブロック図である。

【図2】図1のモード検出回路、ラッチ及びオシレータ電源回路の詳細を示す回路図である。

【図3】図1の半導体記憶装置におけるセルフリフレッシュ動作を示すタイムチャートである。

【図4】従来の半導体記憶装置の電氣的構成を示すブロック図である。

【図5】図4のオシレータ電源回路の一例を示す回路図である。

【図6】図4の半導体記憶装置におけるセルフリフレッシュ動作を示すタイムチャートである。

【符号の説明】

7A セルフリフレッシュ回路

11A モード検出回路及び起動手段としてのセルフリフレッシュモード検出回路

12 セルフリフレッシュ専用回路としてのセルフリフレッシュ用オシレータ

22 起動手段としてのラッチ

23 電源回路としてのセルフリフレッシュ用オシレータ電源回路

31 第1のトランジスタとしてのPMOSTランジスタ

32 第2のトランジスタとしてのNMOSTランジスタ

バーCAS コラムアドレスストロブ信号

バーRAS ロウアドレスストロブ信号

SA1～SAn メモリセルアレイ

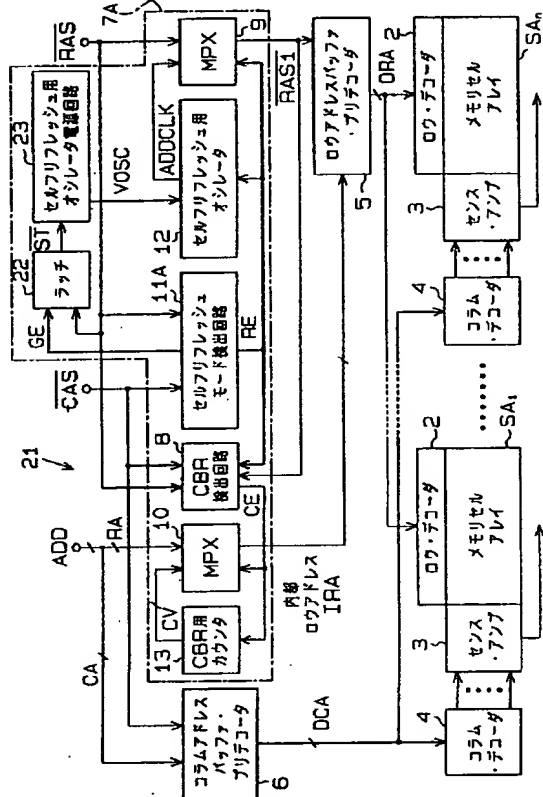
VDD 高電位電源

VSS 低電位電源

Vosc 動作電源としてのオシレータ電源

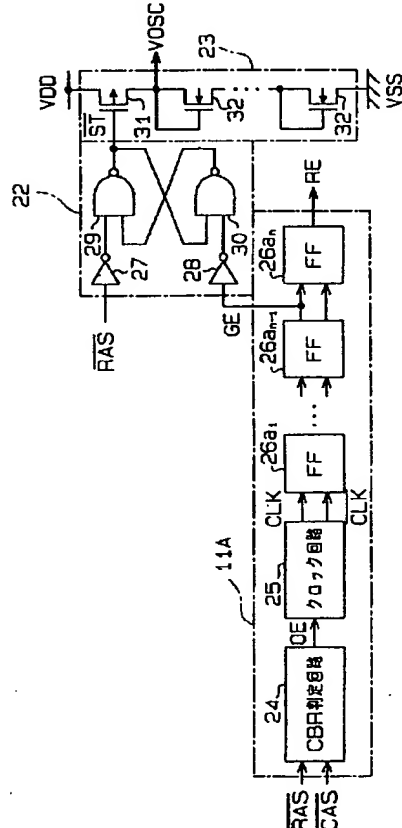
【図1】

本発明を具体化した一実施例の半導体記憶装置の概略的構成を示すブロック図



【図2】

図1のモード検出回路、ラッチ及びオシレータ電源回路の詳細を示す回路図



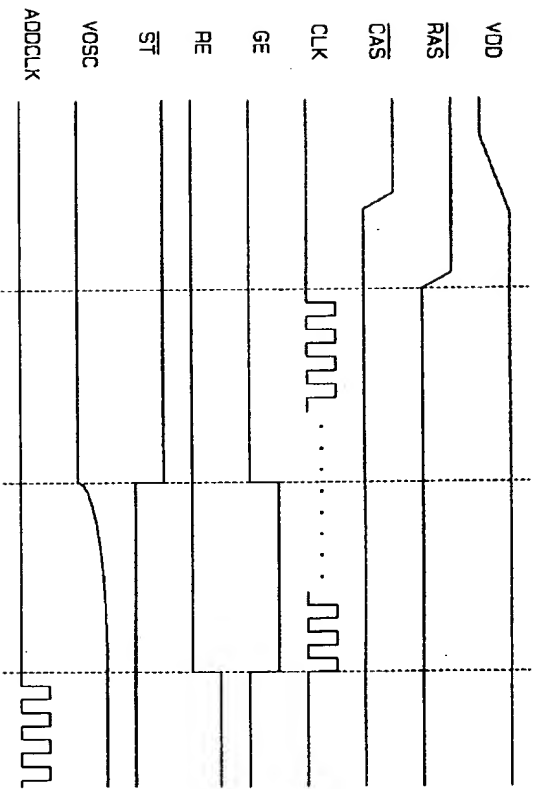


図1の半導体記憶装置におけるセルアドレスデコード動作を示すタイムチャート

【図3】

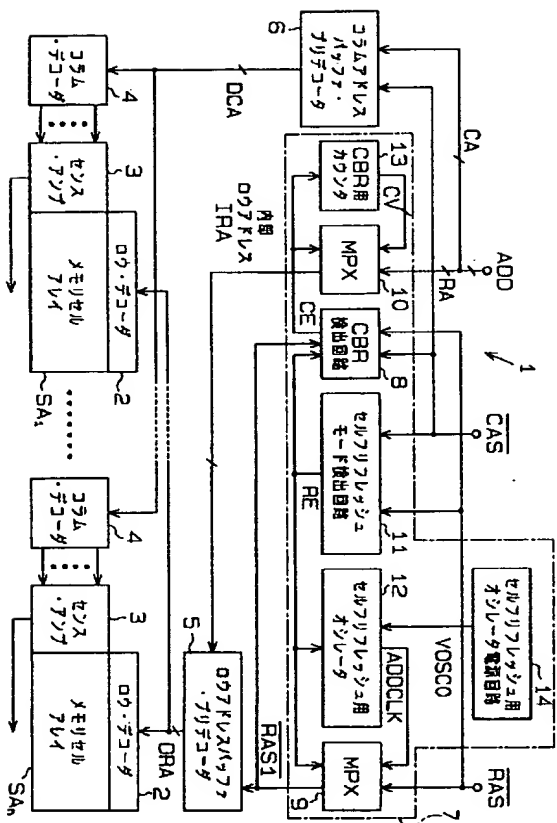
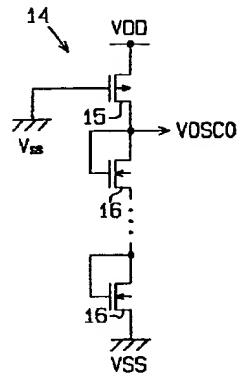


図1の半導体記憶装置の電気的接続を示すブロック図

【図4】

【図 5】

図4のオシレータ電源回路の一例を示す回路図



【図 6】

図4の半導体記憶装置におけるセルフリフレッシュ動作を示すタイムチャート

